

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP6281959
Publication date: 1994-10-07
Inventor(s): KANBARA MINORU
Applicant(s): CASIO COMPUT CO LTD
Requested Patent: ☐ JP6281959
Application Number: JP19930095404 19930329
Priority Number(s):
IPC Classification: G02F1/136 ; G02F1/1343
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent a liquid crystal in the vicinity of a drain line in a slit part from responding needlessly even when a signal pulse is impressed to the drain line by providing the slit on a common electrode opposite to the drain line in the vicinity of a pixel electrode.

CONSTITUTION: The slit 13 is provided on the common electrode 12 of a part opposite to the drain line 4 in the vicinity of the pixel electrode 6 and the prescribed range of both sides in the width direction. That is, the slit 13 is provided on the common electrode 12 opposite to an area from the upper edge of a gate line downward the pixel electrode 6 to the lower side of the drain line 4 of a position connected to a thin film transistor 5 connected to one pixel electrode 6 between one pixel electrode 6 and the right side pixel electrode 6. Then, the drain line 4 is not opposite to the common electrode 12 in the part where the slit 13 is provided, and thus, no needless capacitance part is formed in the slit 13 part.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-281959

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9119-2K	
	1/1343		9017-2K	

審査請求 未請求 請求項の数 1 F D (全 3 頁)

(21)出願番号 特願平5-95404

(22)出願日 平成5年(1993)3月29日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 神原 実

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

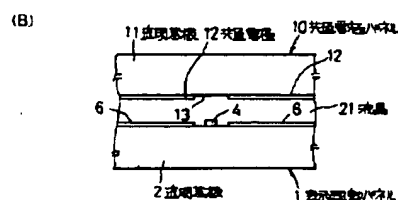
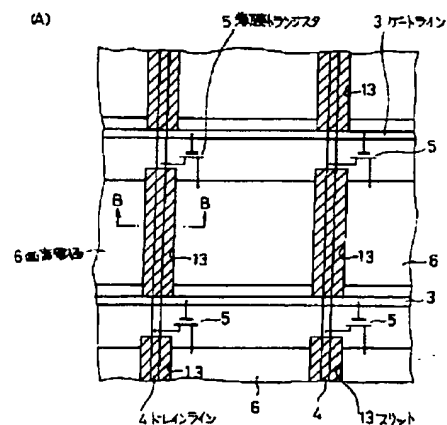
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 アクティブマトリックス液晶表示装置

(57)【要約】

【目的】 アクティブマトリックス液晶表示装置の画質の向上を図る。

【構成】 特に図1(A)においてハッチング(斜線)で示すように、画素電極6の近傍におけるドレインライン4及びその幅方向両側の所定の範囲と対向する部分の共通電極12にスリット13が設けられている。従って、ドレインライン4に信号パルスが加えられてもスリット13の部分におけるドレインライン4近傍の液晶21の不要な応答を防止することができる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 マトリックス状に配線されたドレインライン及びゲートラインと、スイッチング素子と、このスイッチング素子を介して前記ドレインライン及び前記ゲートラインと接続された画素電極とを備えた表示駆動パネルに対向して、共通電極を備えた共通電極パネルが配置され、前記表示駆動パネルと前記共通電極パネルとの間に液晶が充填されてなるアクティブマトリックス液晶表示装置において、

少なくとも前記画素電極の近傍における前記ドレインラインと対向する前記共通電極にスリットが設けられてなることを特徴とするアクティブマトリックス液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はアクティブマトリックス液晶表示装置に関する。

【0002】

【従来の技術】 図2(A)、(B)は従来のアクティブマトリックス液晶表示装置の一例の概略構成を示したものである。このアクティブマトリックス液晶表示装置は、特に図2(B)に示すように、表示駆動パネル1上に共通電極パネル10が対向配置され、その間に液晶21が充填された構造となっている。表示駆動パネル1は、特に図2(A)に示すように、ガラス等からなる透明基板2上に多数のゲートライン(走査電極)3と多数のドレインライン(信号電極)4とがマトリックス状に配線され、両ライン3、4からなる交差部分の近傍に薄膜トランジスタ(スイッチング素子)5が設けられ、両ライン3、4によって囲まれた部分にITO等からなる方形の画素電極6が設けられ、各画素電極6がそれぞれ対応する薄膜トランジスタ5を介して両ライン3、4に接続された構造となっている。共通電極パネル10は、特に図2(B)に示すように、ガラス等からなる透明基板11の下面ほぼ全体にITO等からなる共通電極12が設けられた構造となっている。そして、各画素電極6、各画素電極6と対向する共通電極12及びその間の液晶21によって、各画素の静電容量部が構成されている。

【0003】 このアクティブマトリックス液晶表示装置では、ゲートライン3を順次走査して1つのゲートライン3上の全ての薄膜トランジスタ5を一斉にオン状態とし、この走査に同期させてドレインライン4から信号パルスを加えると、オン状態の薄膜トランジスタ5に接続されている画素電極6に対応する部分の液晶21に表示データが電荷の形で書き込まれる。そして、薄膜トランジスタ5がオフとなると書き込まれた電荷が放電され、この放電が終わるまで対応する部分の液晶21が応答し続け、液晶21による表示が行われることになる。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のこのようなアクティブマトリックス液晶表示装置では、画素電極6と共通電極12とが対向している他に、特にドレインライン4と共通電極12も対向しているので、ドレインライン4と共通電極12とその間の液晶21とによっても静電容量部が形成されることになる。この結果、ドレインライン4に加わる信号パルスによって、ドレインライン4近傍の液晶21が応答し、画質の低下を引き起こし易いという問題があった。この発明の目的は、画質の向上を図ったアクティブマトリックス液晶表示装置を提供することにある。

【0005】

【課題を解決するための手段】 この発明は、マトリックス状に配線されたドレインライン及びゲートラインと、スイッチング素子と、このスイッチング素子を介して前記ドレインライン及び前記ゲートラインと接続された画素電極とを備えた表示駆動パネルに対向して、共通電極を備えた共通電極パネルが配置され、前記表示駆動パネルと前記共通電極パネルとの間に液晶が充填されてなるアクティブマトリックス液晶表示装置において、少なくとも前記画素電極の近傍における前記ドレインラインと対向する前記共通電極にスリットが設けられてなることを特徴とするものである。

【0006】

【作用】 この発明によれば、少なくとも画素電極の近傍におけるドレインラインと対向する共通電極にスリットを設けることによって、ドレインラインに信号パルスが加えられてもスリットの部分におけるドレインライン近傍の液晶の不要な応答を防止し、表示すべき画素電極上の液晶以外の液晶の応答を低減することにより画質の向上を図ることができる。

【0007】

【実施例】 以下、この発明の一実施例におけるアクティブマトリックス液晶表示装置について、図面を参照しつつ説明する。図1(A)、(B)は本実施例におけるアクティブマトリックス液晶表示装置の概略構成を示すものである。なお、これらの図において上述した図1(A)、(B)と同一名称部分は同一の符号を付し、その説明を適宜省略する。このアクティブマトリックス液晶表示装置では、例えば図1(A)においてハッチング(斜線)で示すように、画素電極6の近傍におけるドレインライン4及びその幅方向両側の所定の範囲と対向する部分の共通電極12にスリット13が設けられている。即ち、一の画素電極6とその右側に位置する画素電極6との間であって、その下側のゲートライン3の上縁から一の画素電極6と接続された薄膜トランジスタ5(のドレイン電極)と接続された部位のドレインライン4のやや下側までの領域と対向する共通電極12にスリット13が設けられている。

【0008】 従って、このアクティブマトリックス液晶

3

表示装置では、スリット13が設けられている部分においてドレインライン4と共通電極12とが対向せず、このためスリット13の部分において不要な静電容量が形成されないことになる。この結果、ドレインライン4に信号パルスが加えられてもスリット13の部分におけるドレインライン4近傍の液晶21の不要な応答を防止することができる。即ち、表示すべき画素電極6上の液晶21以外の液晶の反応を低減することにより画質の向上を図ることができる。

【0009】なお、上記実施例においては、スリット13を画素電極6の近傍におけるドレインライン4及びその幅方向両側の所定の範囲と対向する部分に設けているが、ドレインライン4の長さ方向ほぼ全体及びその幅方向の所定の範囲と対向する部分に設けてもよく、またドレインライン4のみと対向する部分に設けてもよい。

【0010】

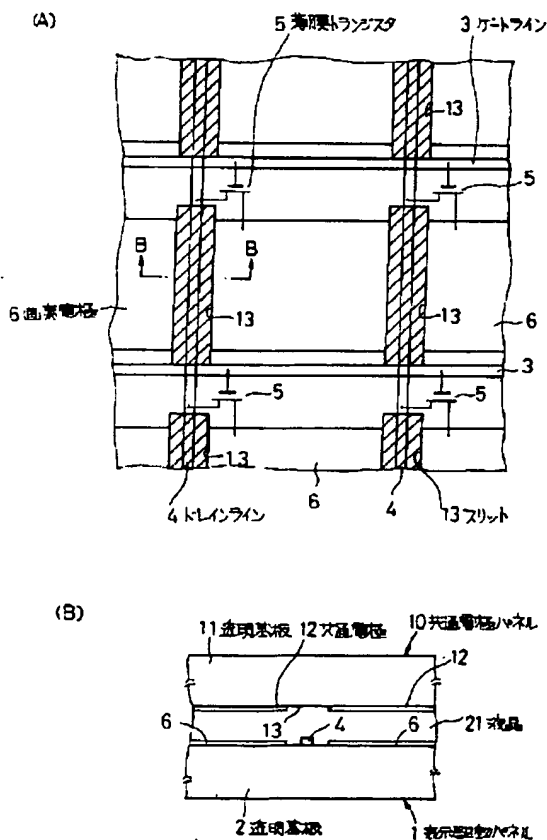
【発明の効果】以上説明したように、この発明によれば少なくとも、画素電極の近傍におけるドレインラインと対向する共通電極にスリットを設けることによって、ドレインラインに信号パルスが加えられてもスリットの部

10

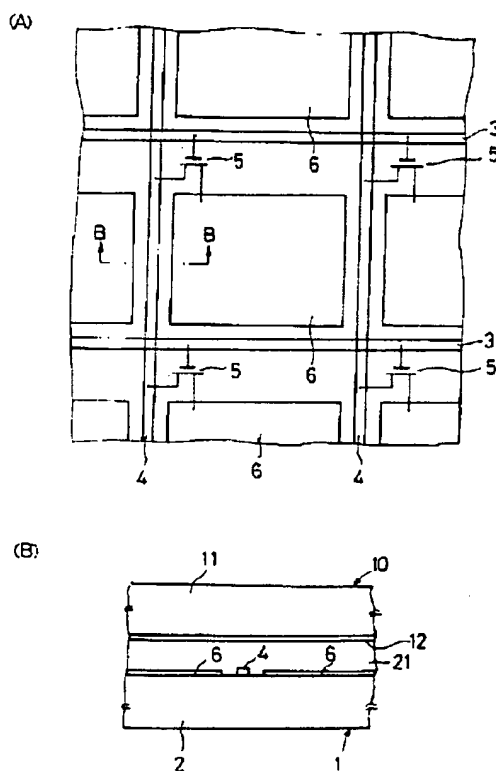
【符号の説明】

- 1 表示駆動パネル
- 3 ゲートライン
- 4 ドレインライン
- 5 薄膜トランジスタ（スイッチング素子）
- 6 画素電極
- 10 共通電極パネル
- 12 共通電極
- 13 スリット
- 20 21 液晶

【図1】



【図2】



BEST AVAILABLE COPY